



DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

(51) Classification internationale des brevets ⁷ : H03K 19/003	A1	(11) Numéro de publication internationale: WO 00/54410 (43) Date de publication internationale: 14 septembre 2000 (14.09.00)
---	-----------	--

(21) Numéro de la demande internationale: PCT/FR00/00573

(22) Date de dépôt international: 8 mars 2000 (08.03.00)

(30) Données relatives à la priorité:
99/03027 9 mars 1999 (09.03.99) FR

(71) Déposants (pour tous les Etats désignés sauf US): UNIVERSITE JOSEPH FOURIER [FR/FR]; 621, avenue Centrale, Boîte postale 53, F-38041 Grenoble Cedex 9 (FR). CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE [FR/FR]; 3, rue Michel Ange, F-75794 Paris Cedex 16 (FR).

(72) Inventeur; et

(75) Inventeur/Déposant (US seulement): NICOLAIDIS, Michaël [FR/FR]; 15 bis, rue du Vercors, F-38120 Saint Egrève (FR).

(74) Mandataire: DE BEAUMONT, Michel; Cabinet Conseil, 1, rue Champollion, F-38000 Grenoble (FR).

(81) Etats désignés: CA, JP, US, brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

Publiée

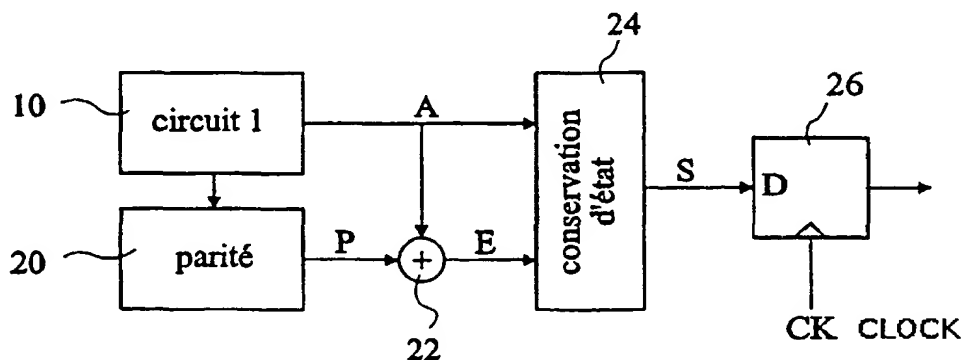
Avec rapport de recherche internationale.

(54) Title: LOGIC CIRCUIT PROTECTED AGAINST TRANSITORY PERTURBATIONS

(54) Titre: CIRCUIT LOGIQUE PROTEGE CONTRE DES PERTURBATIONS TRANSITOIRES

(57) Abstract

The invention concerns a circuit protected against transitory perturbations, comprising a combinatorial logic circuit (10) having at least an output (A); a circuit (20) generating an error control code for said output, and a storage element (24) provided at said output, controlled by the circuit generating a control code to be transparent when the control code is correct, and to maintain its status when the control is incorrect.



(57) Abrégé

L'invention concerne un circuit protégé contre des perturbations transitoires, comprenant un circuit logique combinatoire (10) ayant au moins une sortie (A); un circuit (20) de génération d'un code de contrôle d'erreurs pour ladite sortie; et un élément mémoire (24) disposé à ladite sortie, commandé par le circuit de génération de code de contrôle pour être transparent lorsque le code de contrôle est correct, et pour conserver son état lorsque le code de contrôle est incorrect.

10 ... COMBINATORIAL LOGIC CIRCUIT 1
20 ... VERIFICATION CIRCUIT GENERATING PARITY BITS
24 ... STORAGE ELEMENT (MAINTAINING STATUS)
26 ... DELAY
A ... LOGIC CIRCUIT OUTPUT
P ... PARITY BIT
E ... ERROR SIGNAL
S ... OUTPUT